

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-324398

(43)Date of publication of application : 24.11.2000

(51)Int.Cl.

H04N 5/335

(21)Application number : 11-133351

(71)Applicant : SHARP CORP

(22)Date of filing : 13.05.1999

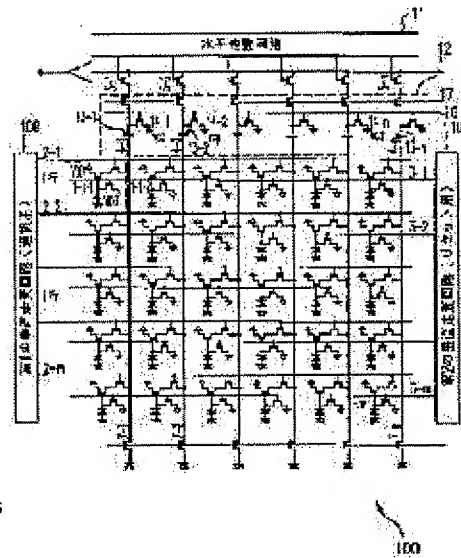
(72)Inventor : KUDO HIROAKI

(54) SOLID IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain uniform pictures without any lateral band-shaped noise in a shutter operation by operating a reset operation for the shutter of another pixel line in a period different from a reading operation period regardless of a reset pulse to be applied at the time of reading in a horizontal blanking period.

SOLUTION: A reset operation for the shutter of another pixel line is operated in a period different from a reading operation period regardless of a reset pulse to be applied at the time of reading in a horizontal blanking period. For example, an amplification type solid image pickup device 100 is provided with a first vertical scanning circuit 109 and a second vertical scanning circuit 110 or the like. Then, in the second vertical scanning circuit 110, the reset operation for the shutter is operated when a reset pulse (for the shutter) is turned into a high level in a period different from a reading period in a normal exposure period. That is, an exposure period can be freely selected in the normal exposure period by controlling the reset pulse (for the shutter).



LEGAL STATUS

[Date of request for examination] 05.06.2001

[Date of sending the examiner's decision of rejection] 20.04.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3788561

[Date of registration] 07.04.2006

[Number of appeal against examiner's decision of rejection] 2005-09608

[Date of requesting appeal against examiner's decision of rejection] 20.05.2005

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-324398

(P2000-324398A)

(43) 公開日 平成12年11月24日 (2000.11.24)

(51) Int.Cl.⁷

H 0 4 N 5/335

識別記号

F I

H 0 4 N 5/335

テーマコード(参考)

E 5 C 0 2 4

P

Z

審査請求 未請求 請求項の数5 O L (全 14 頁)

(21) 出願番号 特願平11-133351

(22) 出願日 平成11年5月13日 (1999.5.13)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 工藤 裕章

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

Fターム(参考) 5C024 AA01 CA05 CA17 FA01 FA11

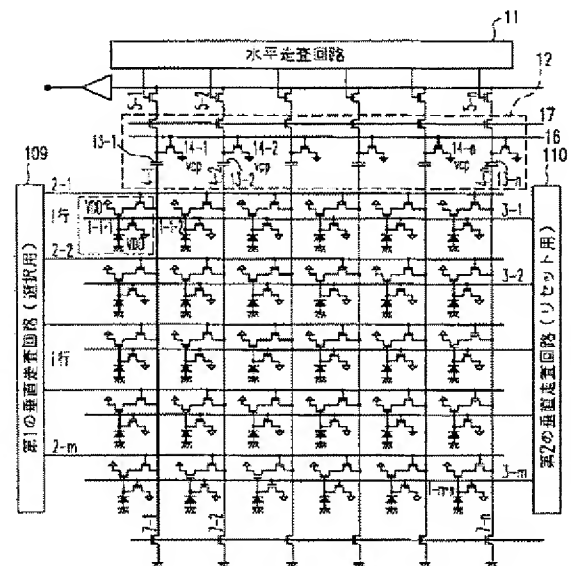
GA01 GA31 GA33 JA04 JA21

(54) 【発明の名称】 固体撮像装置

(57) 【要約】 (修正有)

【課題】 シャッター動作の際に横帯状のノイズが無く均一な画像を得ることができる固体撮像装置。

【解決手段】 複数の画素と、走査回路を有し、複数の画素のそれぞれが、フォトダイオードと、フォトダイオードが変換した信号を増幅する増幅用MOSトランジスタと、増幅用MOSトランジスタが増幅した信号を選択する信号選択用MOSトランジスタと、フォトダイオードのポテンシャルを初期電位にリセットするリセット用MOSトランジスタを有している。第1の行の画素のフォトダイオードに蓄積された信号を読出すために、第1の行の画素の信号選択用MOSトランジスタが選択される期間内のリセット動作期間に走査回路がフォトダイオードリセットする。走査回路が、シャッター動作期間、露光時間を調節するために第2の行の画素のフォトダイオードを初期電位にリセットし、シャッター動作が、リセット動作期間と重ならず、上記目的を達する。



(2)

1

【特許請求の範囲】

【請求項1】 マトリクス状に配置された複数の画素と、走査回路を有する固体撮像装置であって、前記複数の画素のそれぞれが、光を信号に変換するフォトダイオードと、前記フォトダイオードが変換した信号を増幅する増幅用MOSトランジスタと、前記増幅用MOSトランジスタが増幅した信号を選択する信号選択用MOSトランジスタと、前記フォトダイオードのポテンシャルを初期電位にリセットするリセット用MOSトランジスタを有し、第1の行の画素の前記フォトダイオードに蓄積された信号を読み出すために、前記第1の行の画素の信号選択用MOSトランジスタが選択されている期間内のリセット動作期間に、前記走査回路が、前記フォトダイオードを初期電位にリセットし、前記走査回路が、シャッター動作期間、露光時間を調節するために第2の行の画素のフォトダイオードを初期電位にリセットし、前記シャッター動作期間が、前記リセット動作期間とかならない固体撮像装置。

【請求項2】 フォトダイオードと、信号選択用スイッチMOSFETと、増幅用MOSFETと、フォトダイオードを初期電位にリセットするリセット用MOSFETと、前記信号選択用スイッチMOSFETのオン/オフを制御し、前記リセット用MOSFETのオン/オフを制御する制御回路と、を備えた固体撮像装置であって、前記制御回路が、前記信号選択用スイッチMOSFETがオンしている期間と前記リセット用MOSFETがオンしている期間がずれるように、前記信号選択用スイッチMOSFETおよび前記リセット用MOSFETを制御する固体撮像装置。

【請求項3】 フォトダイオードと、信号選択用スイッチMOSFETと、増幅用MOSFETと、前記フォトダイオードを初期電位にリセットするリセット用MOSFETと、前記増幅用スイッチMOSFETに第1の所定の電圧を供給する第1の電源と、前記リセット用MOSFETに第2の所定の電圧を供給する第2の電源とを備えた固体撮像装置であって、前記第2の電源が前記第1の電源と独立している固体撮像装置。

【請求項4】 マトリクス状に配置された複数の画素と、走査回路を有する固体撮像装置であって、前記複数の画素のそれぞれが、フォトダイオードと、信号選択用スイッチMOSFETと、増幅用MOSFETと、

2

前記フォトダイオードを初期電位にリセットするリセット用MOSFETとを有し、前記走査回路が、ダミー画素を含む前記複数の画素を順次選択し、垂直ブランキング期間に前記ダミー画素が選択される、固体撮像装置。

【請求項5】 マトリクス状に配置された複数の画素と、走査回路を有する固体撮像装置であって、前記複数の画素のそれぞれが、フォトダイオードと、信号選択用スイッチMOSFETと、増幅用MOSFETと、前記フォトダイオードを初期電位にリセットするリセット用MOSFETとを有し、前記複数の画素が、少なくとも1行のダミー画素を有し、垂直ブランキング期間において、前記少なくとも1行のダミー画素が繰り返し選択される、固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置に関し、特に露光時間制御、シャッター動作に関するものである。

【0002】

【従来の技術】従来から、フォトダイオードとスイッチ用MOSFET（金属酸化物半導体型電界効果トランジスタ）とを組み合わせた増幅型固体撮像装置が知られている。

【0003】図11は、従来の増幅型固体撮像装置500を示す図であり、図12は、増幅型固体撮像装置500のうちの4つの画素を示す図である。

【0004】図12に示されているように、増幅型固体撮像装置500の画素は、フォトダイオード101、増幅用MOSトランジスタ102、信号選択用MOSトランジスタ103、およびリセット用MOSトランジスタ105を備えている。

【0005】フォトダイオード101のポテンシャル電位は、フォトダイオード101に入射する入射光量 $h\nu$ に応じて変動する。ソースフォロア回路である増幅用MOSトランジスタ102は、フォトダイオード101のポテンシャル電位に応じて信号を増幅する増幅アンプである。信号選択用MOSトランジスタ103は、画素を選択し、信号線104に増幅用MOSトランジスタ102によって増幅された信号を出力する。リセット用MOSトランジスタ105は、フォトダイオード101のポテンシャル電位をある電位VDDにリセットする。

【0006】図11に示す増幅型固体撮像装置500は、画素1-1. 1、1-1. 2、・・・1-m、n、第1の垂直走査回路9、第2の垂直走査回路10、水平走査回路11を備えている。それぞれの画素が、増幅型固体撮像素子として働く。画素1-1. 1、1-

50

(3)

3

1、2、・・・1-m、nを画素アレイと呼ぶ。画素アレイの画素は、ソース・ゲート選択方式により順次選択され、その選択された画素から出力される出力信号が読み出される。

【0007】図11において、X方向（行方向）に配置された複数の画素の信号選択用MOSトランジスタのゲート端子は、行ライン2-1、2-2、・・・2-mのうち対応する1つの行ラインに接続されている。また、X方向（行方向）に配置された複数の画素のリセット用MOSトランジスタのゲート端子は、行ライン3-1、3-2、・・・3-mのうち対応する1つの行ラインに接続されている。

【0008】一方、図11において、Y方向（列方向）に配置された複数の画素の信号選択用MOSトランジスタのソース端子は、列ライン4-1、4-2、・・・4-nのうち対応する1つの列ラインに接続されている。

【0009】列ライン4-1、4-2、・・・4-nのそれぞれは、CDS回路12を介して列選択用トランジスタ5-1、5-2、・・・5-nを介してビデオライン6に共通に接続される。

【0010】また、画素1-1、1、・・・1-m、nでは、増幅用トランジスタのドレインは、リセット用MOSトランジスタのドレインと共通に接続され、増幅用トランジスタのドレインとリセット用MOSトランジスタのドレインとは、所定の電位VDDが印加されている。

【0011】列ライン4-1、4-2、・・・4-nは、定電流負荷として働くトランジスタ7-1、7-2、・・・7-n、を介して接地されている。

【0012】行ライン2-1、2-2、・・・2-mは、第1の垂直走査回路9に接続され、行ライン3-1、3-2、・・・3-mは、第2の垂直走査回路10に接続されている。行ライン2-1、2-2、・・・2-mには、読み出しパルス ϕ_{SEL1} 、 ϕ_{SEL2} 、・・・ ϕ_{SELM} が印加され、行ライン3-1、3-2、・・・3-mには、リセットパルス ϕ_{RST1} 、 ϕ_{RST2} 、・・・ ϕ_{RSTm} が印加される。

【0013】また、列選択用トランジスタ5-1、5-2、・・・5-nのゲートは、水平走査回路11に接続され、パルス ϕ_{H1} 、 ϕ_{H2} 、・・・ ϕ_{Hn} が印加される。

【0014】以下に、CDS回路12を説明する。

【0015】CDS回路12は、クランプ用キャパシタ13-1、13-2、・・・13-nと、クランプ用MOSトランジスタ14-1、14-2、・・・14-nと、サンプルホールド用MOSトランジスタ15-1、15-2、・・・15-j、・・・15-nとを有している。

【0016】列ライン4-1、4-2、・・・4-

4

n、は、クランプ用MOSトランジスタ14-1、14-2、・・・14-nとクランプ用キャパシタ13-1、13-2、・・・13-nによりAC結合される。列ライン4-1、4-2、・・・4-n、は、クランプ用MOSトランジスタ14-1、14-2、・・・14-nを介してクランプ電位 V_{cp} に接続されている。

【0017】クランプ用MOSトランジスタ14-1、14-2、・・・14-nのゲートは、共通に信号入力ライン16に接続され、クランプパルス ϕ_{CL} が印加されるようになっている。

【0018】また、列ライン上のサンプルホールド用MOSトランジスタ15-1、15-2、・・・15-j、・・・15-nのゲート端子は、共通に信号入力ライン17に接続され、サンプルホールドパルス ϕ_{SH} が印加されるようになっている。

【0019】以下に、図12に示す増幅型固体撮像装置500のi行の画素が選択される動作を図13を用いて説明する。

【0020】図13は、図12に示す増幅型固体撮像装置500における信号波形を示す図である。具体的には、図13の(a)は、読み出しパルス ϕ_{SEL} の信号波形を示す図であり、図13の(b)はリセットパルス ϕ_{RST} の信号波形を示す図であり、図13の(c)は信号電位 ΔV_s の信号波形を示す図であり、図13の(d)はクランプパルス ϕ_{CL} の信号波形を示す図であり、図13の(e)はサンプルホールドパルス ϕ_{SH} の信号波形を示す図である。

【0021】増幅型固体撮像装置500では、一つの行ラインの走査期間（水平ブランキング期間） τ_H の間、増幅型固体撮像素子の信号選択トランジスタがオンし、期間 τ_H の内の期間 τ_{RST} の間にリセットトランジスタがオンする。

【0022】第1の垂直走査回路9は、i行に接続されている画素1-i、1、1-i、2、・・・1-i、nの信号選択用MOSトランジスタに、ハイレベルとなる $\phi_{SEL}(i)$ を印加する。 $\phi_{SEL}(i)$ を除く ϕ_{SEL} は、ロウレベルである。このため、i行に接続されている画素1-i、1、1-i、2、・・・1-i、nの信号選択用MOSトランジスタだけがオン状態になる。つまり、i行に接続されていない画素の信号選択用MOSトランジスタはオフ状態である。このため、列ライン信号線には、i行に接続されている画素から出力される信号のみが読み出される。

【0023】さらに、第2の垂直走査回路10は、i行に接続されている画素1-i、1、1-i、2、・・・1-i、nのリセット用MOSトランジスタに、ハイレベルとなるリセットパルス $\phi_{RST}(i)$ を印加する。リセットパルス $\phi_{RST}(i)$ を除くリセットパルス ϕ_{RST} は、ロウレベルである。このため、i行に接

(4)

5

続されている画素 $1-i$ 、 1 、 $1-i$ 、 2 、 \dots 、 $1-i$ 、 n のリセット用 MOS トランジスタだけがオン状態になる。つまり、 i 行に接続されていない画素のリセット用 MOS トランジスタはオフ状態である。このため、 i 行に接続されている画素のフォトダイオードのポテンシャル電位がある電位 V_{DD} にリセットされる。フォトダイオードのポテンシャル電位がリセットされる期間をリセット期間 τ_{RST} と呼ぶ。

【0024】図13の(c)に示すように、 ϕ_{SEL}

(i) がハイレベルである期間 τ_H の中に、リセット期間 τ_{RST} が設けられることにより、水平方向 j 番の信号線 (列ライン) には、画素信号 $V_s(i, j)$ が得られる。つまり、正味の信号電位 ΔV_s がリセット動作の前後の電位差として得られる。

【0025】正味の信号電位 ΔV_s を得るために、画素信号 $V_s(i, j)$ は CDS 回路 12 に送られる。具体的には、クランプパルス ϕ_{CL} でクランプ用 MOS トランジスタ $14-1$ 、 $14-2$ 、 \dots 、 $14-j$ 、 \dots 、 $14-n$ が駆動され、クランプ用 MOS トランジスタ $14-1$ 、 $14-2$ 、 \dots 、 $14-j$ 、 \dots 、 $14-n$ を介してクランプ電位 V_{cp} がクランプ用キャパシタ $13-1$ 、 $13-2$ 、 \dots 、 $13-j$ 、 \dots 、 $13-n$ に送られ、画素信号 $V_s(i, j)$ がクランプされ、画素信号 $V_s(i, j)$ のレベルの変動による影響が取り除かれる。

【0026】その後、サンプルホールドパルス ϕ_{SH} によってサンプルホールド用 MOS トランジスタ $15-1$ 、 $15-2$ 、 \dots 、 $15-j$ 、 \dots 、 $15-n$ が駆動され、正味の信号電位に対応した電位 (動作電位 $V_{cp} +$ リセット電位により電圧上昇した正味の信号電位 ΔV_s) をサンプルホールドする。

【0027】クランプパルス ϕ_{CP} でクランプ電位 V_{cp} をクランプし、サンプルホールドパルス ϕ_{SH} でリセット後の出力電位 $V_s(V_{cp} + \Delta V_s)$ をサンプルホールドすることにより正味の信号電位 ΔV_s に対応した信号電位 $V_{SIG}(i)$ (図示せず) が 1 水平走査期間ごとに順次得られる。

【0028】信号電位 $V_{SIG}(i)$ が水平走査回路 11 によって、読み出し期間 (水平ブランキング以外の期間) に、ビデオライン 6 から出力される。具体的には、水平走査回路 11 が、パルス ϕ_{H1} 、 ϕ_{H2} 、 \dots 、 ϕ_{Hn} を列選択用トランジスタ $5-1$ 、 $5-2$ 、 \dots 、 $5-n$ に順次出力することにより、ビデオライン 6 に出力信号が連続的に出力される。

【0029】図14は、図11に示す増幅型固体撮像装置 500 に印加される、読み出しパルス $\phi_{SEL}(i) \sim \phi_{SEL}(i+2)$ およびリセットパルス $\phi_{RST}(i) \sim \phi_{RST}(i+2)$ を示す図である。具体的には、図14は、任意の露光期間 τ_{SH} で、増幅型固体撮像装置 500 を制御するシャッター動作を示す図であ

6

る。

【0030】明るさに応じて露光期間 τ_{SH} を設定 (最大で 1 フレーム期間) することにより、増幅型固体撮像装置 500 は明るさに応じた最適な画像を得ることができる。例えば、非常に明るい場合、シャッター速度を速くすることによって、過度の露光を防止すると共にハレーションなども無くすることができる。

【0031】図14に示すように、通常の場合の信号蓄積期間となる 1 フレーム期間において、リセットパルス $\phi_{RST}(i)$ (リセット用) がハイレベルとなるリセット期間が、読み出しパルス $\phi_{SEL}(i)$ がハイレベルとなる読み出し期間と重なる期間以外の期間 τ_{RST2} に、リセットパルス $\phi_{RST}(i)$ (シャッター用) がハイレベルとなることにより、露光期間は 1 フレーム期間よりも短い露光期間となる。

【0032】

【発明が解決しようとする課題】たとえば、期間 τ_1 では、行 i のラインに接続されている画素にリセットパルス $\phi_{RST}(i)$ (シャッター用) が印加され、行 $i+2$ のラインに接続されている画素からは、画素信号が読み出されるとする。図11に示すように、リセット用トランジスタおよび増幅用トランジスタが同じ電源 V_{DD} に接続されているため、リセットパルス $\phi_{RST}(i)$ のシャッター期間 (τ_{RST2}) では、接続されているトランジスタのドレインとなる V_{DD} がわずかの電圧降下により $V_{DD} - \Delta V$ となるため、一定電位 V_{DD} でリセットされない。

【0033】全行ライン $V(1)$ 、 $V(2) \dots$ 、 $V(i)$ 、 \dots 、 $V(m)$ における 1 フレーム期間中の読み出し動作を図15を用いて説明する。

【0034】図15は、行ライン $V(1)$ 、 $V(2) \dots$ 、 $V(i)$ 、 \dots 、 $V(m)$ における読み出し動作を示す図である。図15では、横軸に時間を取り、縦軸に垂直方向の行ライン $V(1)$ 、 $V(2) \dots$ 、 $V(i)$ 、 \dots 、 $V(m)$ をとる。

【0035】通常動作時、時刻 $T(i)$ に $V(i)$ 番目の行ラインが選択されて、読み出しパルス $\phi_{SEL}(i)$ が印加され、さらに、リセットパルス $\phi_{RST}(i)$ (リセット用) が印加される。また、1 フレーム期間後 (通常露光期間後)、つまり時刻 $(T(i) + 1 \text{ フレーム})$ に $V(i)$ 番目の行ラインが選択される。

【0036】次に、前述のシャッター動作であるが、全フレーム内の画素の露光期間が同一となるように、図15に示すように、シャッター用リセットパルスが順次 $V(1)$ 、 $V(2)$ 、 \dots 、 $V(i)$ 、 \dots 、 $V(m)$ の行ラインの画素に印加される。

【0037】リセットパルス ϕ_{RST} (シャッター用) が印加される場合には、リセットパルス ϕ_{RST} (シャッター用) が垂直ブランキング期間内 (B) で印加される場合と、リセットパルス ϕ_{RST} (シャッター用) が

(5)

7

他の画素の読み出し動作を行っている期間（A、C）で印加される場合とがある。

【0038】期間（A、C）で、リセットパルス ϕ_{RST} （シャッター用）が印加される場合、画素のフォトダイオードをリセットするリセット電位VDDが低下する。

【0039】たとえば、読み出し動作により、図12に示すように画素のソースフォロア回路部に一定電流 I_0 が図11に示す定電流源 $7-1 \sim 7-n$ より供給され、ある行ラインに接続されている全ての画素（ n 個）に一定電流 I_0 が同一に供給されるため、電源から定電流源までの配線抵抗 R_0 が微小であったとしても、ある行ラインに接続されている全画素で考えると、リセット電位VDDが $VDD - R_0 \times I_0 \times n$ にまで電位が降下する。

【0040】一方、期間（B）で、リセットパルス ϕ_{RST} （シャッター用）が印加される場合、画素のフォトダイオードをリセットするリセット電位VDDは低下しない。他の画素が読み出し動作されていないからである。

【0041】このため、期間（A、C）と期間（B）では、リセットパルス ϕ_{RST} （シャッター用）を印加するリセットトランジスタのドレイン電位に、僅かな電位差が生じる。その結果、画素のフォトダイオードのポテンシャルの初期値を決めるリセット電位に差が生じるため、撮像された画面上では、垂直ブランキングに対応した横帯状のノイズが発生する問題がある。

【0042】本発明は、上記問題を鑑み、シャッター動作において横帯状のノイズが無く均一な画像を得ることができる固体撮像装置を提供することを目的とする。

【0043】

【課題を解決するための手段】本発明の固体撮像装置は、マトリクス状に配置された複数の画素と、走査回路を有する固体撮像装置であって、前記複数の画素のそれぞれが、光を信号に変換するフォトダイオードと、前記フォトダイオードが変換した信号を増幅する増幅用MOSトランジスタと、前記増幅用MOSトランジスタが増幅した信号を選択する信号選択用MOSトランジスタと、前記フォトダイオードのポテンシャルを初期電位にリセットするリセット用MOSトランジスタを有し、第1の行の画素の前記フォトダイオードに蓄積された信号を読み出すために、前記第1の行の画素の信号選択用MOSトランジスタが選択されている期間内のリセット動作期間に、前記走査回路が、前記フォトダイオードを初期電位にリセットし、前記走査回路が、シャッター動作期間、露光時間を調節するために第2の行の画素のフォトダイオードを初期電位にリセットし、前記シャッター動作期間が、前記リセット動作期間とかさならず、そのことにより上記目的が達成される。

【0044】本発明の他の固体撮像装置は、フォトダイオードと、信号選択用スイッチMOSFETと、増幅用

8

MOSFETと、フォトダイオードを初期電位にリセットするリセット用MOSFETと、前記信号選択用スイッチMOSFETのオン/オフを制御し、前記リセット用MOSFETのオン/オフを制御する制御回路と、を備えた固体撮像装置であって、前記制御回路が、前記信号選択用スイッチMOSFETがオンしている期間と前記リセット用MOSFETがオンしている期間がずれるように、前記信号選択用スイッチMOSFETおよび前記リセット用MOSFETを制御し、そのことにより上記目的が達成される。

【0045】本発明のさらに他の固体撮像装置は、フォトダイオードと、信号選択用スイッチMOSFETと、増幅用MOSFETと、前記フォトダイオードを初期電位にリセットするリセット用MOSFETと、前記増幅用スイッチMOSFETに第1の所定の電圧を供給する第1の電源と、前記リセット用MOSFETに第2の所定の電圧を供給する第2の電源とを備えた固体撮像装置であって、前記第2の電源が前記第1の電源と独立し、そのことにより上記目的が達成される。

【0046】本発明の別の固体撮像装置は、マトリクス状に配置された複数の画素と、走査回路を有する固体撮像装置であって、前記複数の画素のそれぞれが、フォトダイオードと、信号選択用スイッチMOSFETと、増幅用MOSFETと、前記フォトダイオードを初期電位にリセットするリセット用MOSFETとを有し、前記走査回路が、ダミー画素を含む前記複数の画素を順次選択し、垂直ブランキング期間に前記ダミー画素が選択され、そのことにより上記目的が達成される。

【0047】本発明のさらに別の固体撮像装置は、マトリクス状に配置された複数の画素と、走査回路を有する固体撮像装置であって、前記複数の画素のそれぞれが、フォトダイオードと、信号選択用スイッチMOSFETと、増幅用MOSFETと、前記フォトダイオードを初期電位にリセットするリセット用MOSFETとを有し、前記複数の画素が、少なくとも1行のダミー画素を有し、垂直ブランキング期間において、前記少なくとも1行のダミー画素が繰り返し選択され、そのことにより上記目的が達成される。

【0048】上記目的を達成するために本発明の固体撮像装置は、ある行ラインの画素群に対して信号の読み出しを行う期間と異なる期間で、別の行ラインの画素群にリセット電位を印加し、シャッター動作（シャッター用のリセット動作）を行う。

【0049】また、シャッター用のリセット動作中、他の画素が読み出し動作をし、各画素のソースフォロア回路に一定電流が流れないように、リセットパルス ϕ_{RST} がハイレベルの時は、読み出しパルス ϕ_{SEL} をローレベルとする。

【0050】また、好ましくは、シャッター用のリセット動作によりリセットされるフォトダイオードのリセッ

(6)

9

ト電位VDDを供給する電源と画素のソースフォロアの電源VDDを別電源ラインにより供給する。

【0051】また、好ましくは、垂直ブランキング期間内でシャッター用のリセットされる場合においても他の期間と同様の動作となるようにダミーの画素ラインを設ける。

【0052】また、好ましくは、垂直ブランキング期間内でシャッター用リセットされる場合においても他の期間と同様の動作となるようにあるダミーの画素ラインを垂直ブランキング期間中複数回読み出し動作させる。

【0053】以下、作用を説明する。

【0054】本発明においては、シャッター用のリセット動作を、水平ブランキング期間での読み出し時に印加されるリセットパルスとは関係なく、読み出し動作期間とは異なる期間に、別の画素ラインのシャッター用のリセット動作を行う。その結果、読み出し動作に伴う電源の電位降下は、シャッター用のリセット動作時においては生じなく、垂直ブランキング及びそれ以外の期間においてもリセット電位は電位降下のないVDDのままで差を生じることがないため、撮像された画面上の垂直ブランキング期間に対応した横帯状のノイズは発生しない。

【0055】また、読み出し動作時において、読み出しパルス ϕ_{SEL} をリセットパルス ϕ_{RST} がハイレベルの際にはローレベルとすることにより、フォトダイオードを基準電位VDDにリセットする。そのリセット電位VDDが読み出しパルス ϕ_{SEL} パルスがローレベルであるため、前記電位降下は発生せず、また、前述したように垂直ブランキング期間でも電位降下は起こらないことから撮像された画面上の垂直ブランキング期間に対応した横帯状のノイズは発生しない。

【0056】また、シャッター用のリセット動作によりリセットされるフォトダイオードのリセット電位VDDを供給する電源と各画素のソースフォロア部の電源とを別電源ラインにより供給することにより読み出し動作による電源回路部の電位降下と各画素のフォトダイオードをリセットするリセット電位とは無関係となることにより撮像された画面上の垂直ブランキングに対応した横帯状のノイズは発生しない。

【0057】また、本発明においては垂直ブランキング期間内でシャッター用リセットされる場合においてもダミーの画素を垂直ブランキング期間に対応した画素数分具備させることにより、全ての期間において他の期間と同様に読み出し動作が擬似的に連続的に動作しているため、垂直ブランキング期間と他の期間での各画素のフォトダイオードのリセットされるリセット電位に電位差が生じることはなく撮像された画面上の垂直ブランキング期間に対応した横帯状のノイズは発生しない。

【0058】また、垂直ブランキング期間内でシャッター用リセットされる場合においても、全ての期間において垂直ブランキング期間以外の他の期間と同様に読み出

10

し動作が擬似的に連続的に動作するように、あるダミーの画素ラインを垂直ブランキング期間中複数回読み出し動作させることにより垂直ブランキング期間と他の期間での各画素のフォトダイオードのリセットされるリセット電位に電位差が生じることはなく撮像された画面上に垂直ブランキング期間に対応した横帯状のノイズは生成されない。

【0059】

【発明の実施の形態】図面を参照し、本発明を説明する。

【0060】（実施形態1）以下に、本発明の実施形態1における増幅型固体撮像装置100を図1を用いて説明する。

【0061】図1は、実施形態1における増幅型固体撮像装置100を示す図である。

【0062】図1に示す増幅型固体撮像装置100は、画素1-1.1、1-1.2、・・・1-m、n、トランジスタ7-1～7-n、第1の垂直走査回路109、第2の垂直走査回路110、水平走査回路11、およびCDS回路12を備えている。画素1-1.1、1-1.2、・・・1-m、nを画素アレイと呼ぶ。画素の構成は、図12に示す構成と同じである。図1に示す増幅型固体撮像装置100の構成は、画素を選択するための第1の垂直走査回路109と、画素のポテンシャルをリセットし、増幅型固体撮像装置100のシャッターとして働く第2の垂直走査回路110とを除き、図11に示す増幅型固体撮像装置500の構成と同じである。

【0063】以下に、第1の垂直走査回路109が生成する読み出しパルス ϕ_{SEL} と第2の垂直走査回路110が生成するリセットパルス ϕ_{RST} を図2を用いて説明する。

【0064】図2は、読み出しパルス $\phi_{SEL}(i) \sim \phi_{SEL}(i+2)$ およびリセットパルス $\phi_{RST}(i) \sim \phi_{RST}(i+2)$ の信号波形を示す図である。

【0065】i行の画素の信号を読み出す際に、信号読み出し期間 τ_H の間、読み出しパルス $\phi_{SEL}(i)$ がハイレベルとなる。CDS回路12により、正味の信号成分 ΔV_s を得るために、信号読み出し期間 τ_H （ $\phi_{SEL}(i)$ がハイレベルである期間）の中の期間 τ_{RST} で、リセットパルス $\phi_{RST}(i)$ （リセット用）がハイレベルとなり、フォトダイオードは初期電位VDDにリセットされる。

【0066】第2の垂直走査回路110が上記読み出し期間 τ_H 内の期間 τ_{RST} でフォトダイオードのポテンシャル電位を初期電位VDDにリセットする。シャッター用のリセット動作については、第2の垂直走査回路110は、通常露光期間（1フレーム期間）内で、上記読み出し期間 τ_H と異なる期間 τ_{RST2} に、リセットパ

(7)

11

ルス ϕ RST (i) (シャッター用) がハイレベルとなることにより行われる。つまり、リセットパルス ϕ RST (i) (シャッター用) を制御することにより、通常露光期間の中で、露光期間を自由に選択することができる。

【0067】実施形態1では、シャッターパルス用のリセットパルス ϕ RST (i) がハイレベルとなる期間 τ RST2に、全ての画素の読み出し動作は行われない。

【0068】このため、読み出し動作によって、リセット電圧VDDを供給する電源の電位の降下が生じている際に、リセットパルス ϕ RST (i) (シャッター用) がハイレベルとならない。つまり、 τ RST2期間に、画素アレイ内で読み出し動作されている画素ラインはない。その結果、リセットパルス ϕ RST (i) (シャッター用) により、リセットされるフォトダイオードの初期電位には電位の降下が生じない。シャッター用のリセットをすることにより垂直ブランキングに対応して発生していた横帯状のノイズが発生しない。

【0069】(実施形態2) 以下に、本発明の実施形態2における増幅型固体撮像装置を説明する。

【0070】実施形態2における増幅型固体撮像装置の構成は、第1の垂直走査回路109および第2の垂直走査回路110を除き、図1に示す増幅型固体撮像装置100の構成と同じである。つまり、実施形態2の画素の構成は、図12に示す構成と同じである。

【0071】以下に、実施形態2の第1の垂直走査回路が生成する読み出しパルス ϕ SELと実施形態2の第2の垂直走査回路が生成するリセットパルス ϕ RSTを図3を用いて説明する。

【0072】図3は、読み出しパルス ϕ SEL (i)、 ϕ SEL (i+x)、リセットパルス ϕ RST (i)、 ϕ RST (i+x)、画素信号Vs (i, j)、クランプパルス ϕ CL、およびサンプルホールドパルス ϕ SHの信号波形を示す図である。

【0073】実施形態2では、i行の画素を操作する読み出し期間 τ Hの間に、i行における画素の信号選択用MOSトランジスタがオンし、次にその信号選択用MOSトランジスタがオフし、その信号選択用MOSトランジスタがオフしてから期間 τ RSTの間、リセットトランジスタがオンする。期間 τ RSTが終了した後、再び、信号選択用MOSトランジスタがオンし、読み出し期間 τ Hの終了と同時に信号選択用MOSトランジスタがオフする。

【0074】図3に示すように、期間 τ RSTにおいて読み出しパルス ϕ SEL (i) がオフすることにより、読み出し期間 τ Hにおいて選択されている行iに接続されている画素のソースフォロア回路に一定電流が供給されない。

【0075】期間 τ RSTでリセットパルス ϕ RST (i) をハイレベルとすることで画素のフォトダイオ

12

ードのポテンシャル電位をリセット電位VDDにリセットする際、電流I₀が流れることにより電位が降下することはない。

【0076】以下に、i行に対応する画素のシャッター動作を説明する。i行に対応する画素が、シャッター動作のためリセットされる場合、i+x行に対応する画素1-i+x, 1, 1-i+x, 2, ... 1-i+x, nに対して読み出し操作が行われていたとしても、上述したように、リセット電位VDDが電位降下することはない。

【0077】このため、垂直ブランキング以外の期間でシャッター動作のために画素のフォトダイオードをリセットする場合であっても、実施形態2の第1の垂直走査回路により、初期電圧に電位降下のないリセット電位VDDでフォトダイオードのポテンシャル電位をリセットすることができる。

【0078】また、垂直ブランキング期間におけるシャッター動作においては、読み出しのために選択されている画素は存在しない。このため、リセット電位VDDが電圧降下することなく、シャッター動作によりリセットされる画素のフォトダイオードのポテンシャル電位はリセット電位VDDとなる。上述したように、本実施形態2の固体撮像装置では、垂直ブランキング期間であるか否かにかかわることなく、リセットするための電位が一定になるため、従来の固体撮像装置500で問題となった垂直ブランキングに対応する横帯状のノイズは発生しない。

【0079】(実施形態3) 以下に、本発明の実施形態3における増幅型固体撮像装置200を図4を用いて説明する。

【0080】図4は、実施形態3における増幅型固体撮像装置200の一部を示す図である。

【0081】図4に示す増幅型固体撮像装置200は、フォトダイオード401、増幅用MOSトランジスタ402、信号選択用MOSトランジスタ403、およびリセット用MOSトランジスタ405を備えている。

【0082】フォトダイオード401のポテンシャル電位は、フォトダイオード401に入射する入射光量h ν に応じて変動する。ソースフォロア回路である増幅用MOSトランジスタ402は、フォトダイオード401のポテンシャル電位に応じて出力信号を増幅する増幅アンプである。信号選択用MOSトランジスタ403は、画素を選択し、信号線404に増幅用MOSトランジスタ402によって増幅された信号を出力する。リセット用MOSトランジスタ405は、フォトダイオード101のポテンシャル電位を電位VResetにリセットする。

【0083】ソースフォロア回路である増幅用MOSトランジスタ402はドレイン接続され、そのドレインには所定の電位VDDが印加されている。

(8)

13

【0084】従来の増幅型固体撮像装置500では、読み出し用のソースフォロア回路の増幅用MOSトランジスタのための電源とリセット用MOSトランジスタのための電源が同一であるのに対して、本実施形態3における増幅型固体撮像装置200では、読み出し用のソースフォロア回路の増幅用MOSトランジスタ402のための電源とリセット用MOSトランジスタ405のための電源が独立している。

【0085】ソースフォロア回路の増幅用MOSトランジスタ402のドレインが、電圧VDDを印加する電源に接続され、リセットトランジスタ405のドレインが電圧VResetを印加する電源に接続されている。

【0086】このため、垂直ブランキング時のシャッター動作におけるフォトダイオードのリセット電位と垂直ブランキング期間以外の期間でのシャッター動作におけるフォトダイオードのリセット電位との電位差による、垂直ブランキング期間に対応した横帯状のノイズが発生しない。つまり、垂直ブランキングであるか否かにかかわらず、リセット電位に変動が生じることなく、常に初期電位が電位VResetである電位でフォトダイオードのポテンシャルをリセットすることができる。

【0087】(実施形態4)以下に、本発明の実施形態4における増幅型固体撮像装置300を図5～図7を用いて説明する。

【0088】図5は、増幅型固体撮像装置300を示す図である。図6は、増幅型固体撮像装置300が、1フレーム期間中にダミー画素を含めた全画素をアクセスする時間を示す図である。図6では、横軸に時間を取り、縦軸に垂直方向の、V(1)、V(2)、・・・、V(m)、・・・、V(m+D)行とっている。図7は、リセットパルスφRSTと読み出しパルスφSELの一例を示す図である。

【0089】実施形態4における増幅型固体撮像装置300の構成は、図11に示す増幅型固体撮像装置500にダミー画素が追加された構成である。ダミー画素とは、有効画素以外の画素を意味し、垂直ブランキング期間にアクセスされる画素である。

【0090】第4の実施形態における固体撮像装置300は、増幅型固体撮像装置500と同様に、画素をソースゲート選択方式により順次選択し、その選択された画素から出力信号を読み出す。

【0091】第4の実施形態をCIFフォーマット用固体撮像装置に適用した場合、例えば、全画素数が、H393×V330であり、そのうち、OB(Optical Black)部を含む有効画素数は、H393×V299であり、垂直ブランキング期間にアクセスされるダミー画素数は31となる。

【0092】以下に、実施形態4における増幅型固体撮像装置300の動作を図6を用いて説明する。

【0093】通常動作時、時刻Td1で、V(i)に対

14

応する画素が選択されて、読み出しパルスφSEL

(i)がその画素に印加される。次に、時刻Td2で、リセットパルスφRST(i)(リセット用)がその画素に印加される。その後、時刻Td3で、リセットパルスφRST(i)(シャッター用)がその画素に印加される。また、時刻Td1から1フレーム期間が経過した後、再びV(i)に対応する画素が選択される。

【0094】実施形態4では、図11の増幅型固体撮像装置500と同様のシャッター動作で、全フレーム内の画素の露光の期間が同一となるようにリセットパルスφRST(シャッター用)が順次V(1)、V(2)、・・・、V(m)、・・・、V(m+D)の画素に印加される。

【0095】本実施形態の増幅型固体撮像装置300では、垂直方向において、増幅型固体撮像装置500と異なり、ダミーの画素を備えている。増幅型固体撮像装置300のダミーの画素の数は、垂直ブランキング期間に関する数(垂直ブランキング期間にアクセスされる数)である。

【0096】このため、垂直ブランキング期間内でリセットパルスφRST(シャッター用)が印加される場合と、垂直ブランキング期間外でリセットパルスφRST(シャッター用)が印加される場合とで、画素のフォトダイオードのポテンシャル電位をリセットする初期のリセット電位VDDが全画素において同じになる。つまり、全ての期間で同様の電流I0が発生する。

【0097】本実施形態では、垂直ブランキング期間と垂直ブランキング期間以外でリセット電位に差が生じないため、垂直ブランキング期間に対応する横帯状のノイズは発生しない。

【0098】(実施形態5)以下に、本発明の実施形態5における増幅型固体撮像装置400を図8～図10を用いて説明する。

【0099】図8は、増幅型固体撮像装置400を示す図である。図9は、増幅型固体撮像装置300が、1フレーム期間中にダミー画素を含めた全画素をアクセスする時間を示す図である。図9では、横軸に時間を取り、縦軸に垂直方向の、V(1)、V(2)、・・・、V(m)、V(m+1)行とっている。図10は、リセットパルスφRSTと読み出しパルスφSELの一例を示す図である。

【0100】実施形態5における増幅型固体撮像装置400の構成は、図11に示す増幅型固体撮像装置500にダミー画素が少なくとも1行追加された構成である。ダミー画素とは、有効画素以外の画素を意味し、垂直ブランキング期間にアクセスされる画素である。

【0101】なお、説明を簡単にするために、図8に示す増幅型固体撮像装置400では、有効画素以外に垂直ブランキング期間中に繰り返し駆動されるダミー画素を1行備えている。

(9)

15

【0102】第5の実施形態における固体撮像装置400は、増幅型固体撮像装置500と同様に、画素をソースゲート選択方式により順次選択し、その選択された画素から出力信号を読み出す。

【0103】第5の実施形態をCIFフォーマット用固体撮像装置に適用した場合、例えば、全画素数が、 $H393 \times V300$ となる垂直ブランキング期間にアクセスされるダミー画素数は1となる。

【0104】本実施形態は、実施形態4と異なり、垂直ブランキング期間と相当する31画素全ての画素をダミー画素として備えているのではなく、少なくとも1つの画素ラインをダミー画素として備えていればよく、本実施形態のダミー画素ラインは、垂直ブランキング期間中に複数回駆動される。

【0105】以下に、実施形態5における増幅型固体撮像装置400の動作を図9を用いて説明する。

【0106】通常動作時、時刻 $Td1$ で、 $V(i)$ に対応する画素が選択されて、読み出しパルス ϕSEL

(i)がその画素に印加される。次に、時刻 $Td2$ で、リセットパルス $\phi RST(i)$ (リセット用)がその画素に印加される。その後、時刻 $Td3$ で、リセットパルス $\phi RST(i)$ (シャッター用)がその画素に印加される。また、時刻 $T(i)$ から1フレーム期間が経過した後、再び $V(i)$ に対応する画素が選択される。

【0107】実施形態5では、図11の増幅型固体撮像装置500と同様のシャッター動作で、全フレーム内の画素の露光の期間が同一となるようにリセットパルス ϕRST (シャッター用)が順次 $V(1)$ 、 $V(2)$ 、 \dots 、 $V(m)$ 、 $V(m+1)$ の画素に印加される。

【0108】垂直ブランキング期間においては、 ϕSEL を生成する第1の垂直走査回路およびリセットパルス ϕRST を生成する第2の垂直走査回路110は、ダミー画素である1行を繰り返し駆動する。つまり、垂直ブランキング期間においても、読み出しパルス ϕSEL およびリセットパルス ϕRST (リセット用)が、ダミー画素である1行に繰り返し印加される。

【0109】このため、垂直ブランキング期間内でリセットパルス ϕRST (シャッター用)が印加される場合と、垂直ブランキング期間外でリセットパルス ϕRST (シャッター用)が印加される場合とで、画素のフォトダイオードのポテンシャル電位をリセットする初期のリセット電位 VDD が全画素において同じになる。つまり、全ての期間で同様の電流 I_0 が発生する。

【0110】本実施形態では、垂直ブランキング期間と垂直ブランキング期間以外でリセット電位に差が生じないため、垂直ブランキング期間に対応する横帯状のノイズは発生しない。

【0111】

【発明の効果】本発明の固体撮像装置によれば、シャッターリセット動作を水平ブランキング期間での読み出し

16

時に印加されるリセットパルスとは関係なく読み出し動作期間とは異なる期間に別の画素ラインのシャッター用のリセット動作を行うことにより読み出し動作に伴う電源の電位降下はシャッター用のリセット動作時においては生じないため、垂直ブランキング及びそれ以外の期間においても各画素のフォトダイオードをリセットするリセット電位は電位降下のない VDD のままで差を生じさせることがないため、撮像された画面上の垂直ブランキング期間に対応した横帯状のノイズが発生することはない。

【0112】また、読み出し動作時において、リセットパルス ϕRST がハイレベルの際には読み出しパルス ϕSEL をローレベルとする。リセットパルス ϕRST がハイレベルであることにより、フォトダイオードのポテンシャルが、リセット電位 VDD にリセットされる。 ϕSEL パルスがローレベルであるため、リセット電位 VDD の電位は降下しない。また、垂直ブランキング期間でもリセット電位 VDD の電位降下は起こらない。このため、撮像された画面上の垂直ブランキング期間に対応した横帯状のノイズは発生しない。

【0113】また、シャッター用のリセット動作によりリセットされるフォトダイオードのリセット電位 VDD を供給する電源と画素のソースフォロア部の電源とを独立させることにより、読み出し動作による電源回路部の電位降下と画素のフォトダイオードをリセットするリセット電位とは無関係となる。このことによって、撮像された画面上の垂直ブランキングに対応した横帯状のノイズは発生しない。

【0114】また、本発明においては垂直ブランキング期間内でシャッターリセットされる場合においても、ダミーの画素を垂直ブランキング期間に対応した画素数分具備させることにより、全ての期間において他の期間と同様に読み出し動作が擬似的に連続的に動作しているため、垂直ブランキング期間と他の期間での各画素のフォトダイオードのリセットされるリセット電位に電位差が生じることなく、撮像された画面上の垂直ブランキング期間に対応した横帯状のノイズは発生しない。

【0115】また、垂直ブランキング期間内でシャッター用リセットされる場合においても、全ての期間において垂直ブランキング期間以外の他の期間と同様に読み出し動作が擬似的に連続的に動作するようにあるダミーの画素ラインを垂直ブランキング期間中複数回読み出し動作させることにより垂直ブランキング期間と他の期間での各画素のフォトダイオードのリセットさせるリセット電位に電位差が生じることなく撮像された画面上に垂直ブランキング期間に対応した横帯状のノイズは生成されない。

【図面の簡単な説明】

【図1】実施形態1における増幅型固体撮像装置100を示す図である。

(10)

17

【図2】読み出しパルス $\phi\text{SEL}(i) \sim \phi\text{SEL}(i+2)$ およびリセットパルス $\phi\text{RST}(i) \sim \phi\text{RST}(i+2)$ の信号波形を示す図である。

【図3】読み出しパルス $\phi\text{SEL}(i)$ 、読み出しパルス $\phi\text{SEL}(i+x)$ 、リセットパルス $\phi\text{RST}(i)$ 、リセットパルス $\phi\text{RST}(i+x)$ 、画素信号 $Vs(i, j)$ 、クランプパルス ϕCL 、およびサンプルホールド ϕSH の信号波形を示す図である。

【図4】実施形態3における増幅型固体撮像装置200の一部を示す図である。

【図5】増幅型固体撮像装置300を示す図である。

【図6】増幅型固体撮像装置300が、1フレーム期間中にダミー画素を含めた全画素をアクセスする時間を示す図である。

【図7】リセットパルス ϕRST と読み出しパルス ϕSEL の一例を示す図である。

【図8】増幅型固体撮像装置400を示す図である。

【図9】増幅型固体撮像装置300が、1フレーム期間中にダミー画素を含めた全画素をアクセスする時間を示す図である。

【図10】リセットパルス ϕRST と読み出しパルス ϕSEL の一例を示す図である。

【図11】従来の増幅型固体撮像装置500を示す図である。

【図12】増幅型固体撮像装置500のうちの4つの画

18

素を示す図である。

【図13】(a)は、読み出しパルス ϕSEL の信号波形を示す図であり、(b)はリセットパルス ϕRST の信号波形を示す図であり、(c)は信号電位 ΔVs の信号波形を示す図であり、(d)はクランプパルス ϕCL の信号波形を示す図であり、(e)はサンプルホールドパルス ϕSH の信号波形を示す図である。

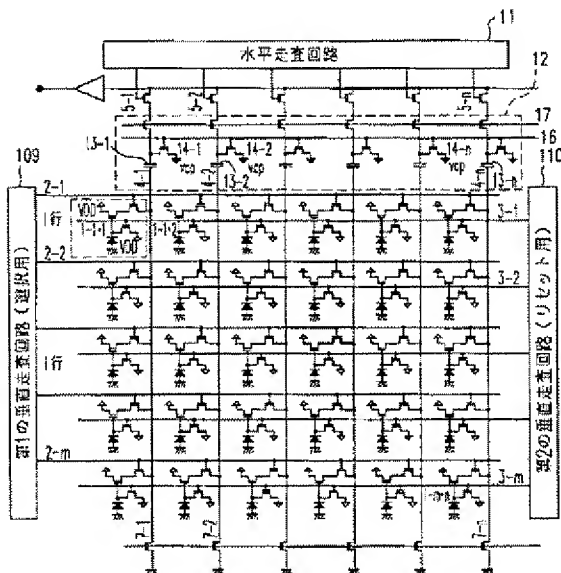
【図14】図11に示す増幅型固体撮像装置500に印加される、読み出しパルス $\phi\text{SEL}(i) \sim \phi\text{SEL}(i+2)$ およびリセットパルス $\phi\text{RST}(i) \sim \phi\text{RST}(i+2)$ を示す図である。

【図15】行ライン $V(1)$ 、 $V(2) \dots V(i)$ 、 $\dots V(m)$ における読み出し動作を示す図である。

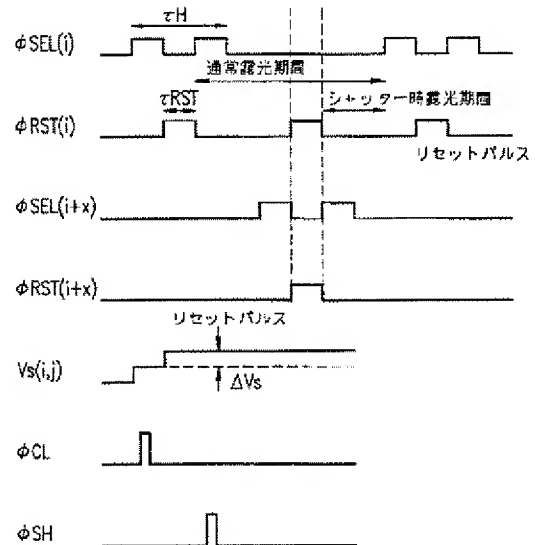
【符号の説明】

- 1-1. 1、1-1. 2、 \dots 1-m. n 画素
- 9 第1の垂直走査回路
- 10 第2の垂直走査回路
- 11 水平走査回路
- 101 フォトダイオード
- 102 増幅用MOSトランジスタ
- 103 信号選択用MOSトランジスタ
- 104 信号線
- 105 リセット用MOSトランジスタ

【図1】

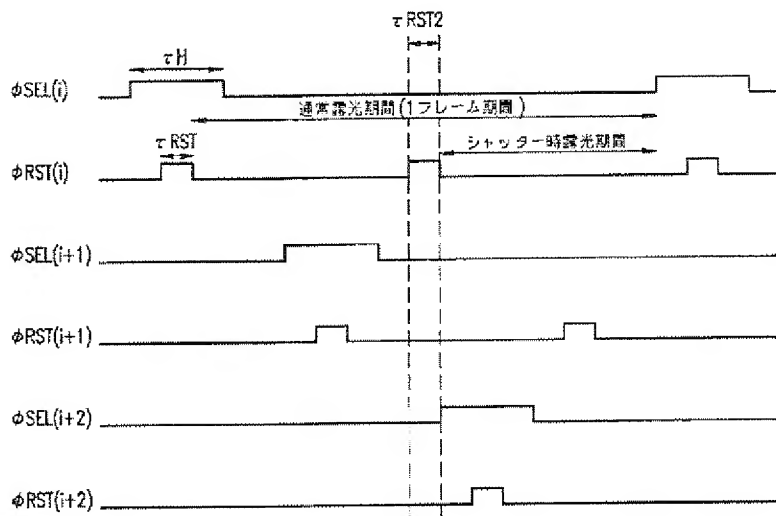


【図3】

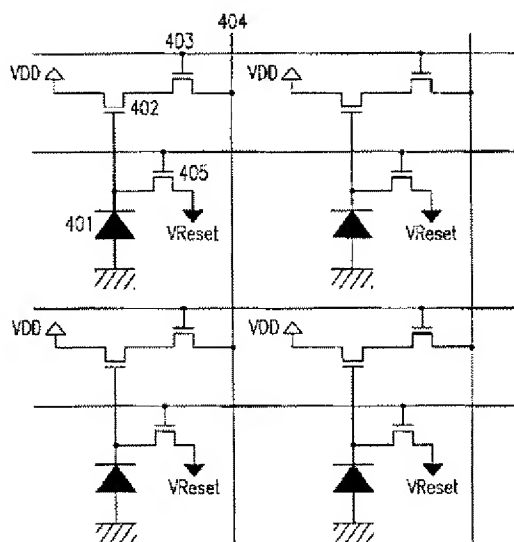


(11)

【図 2】

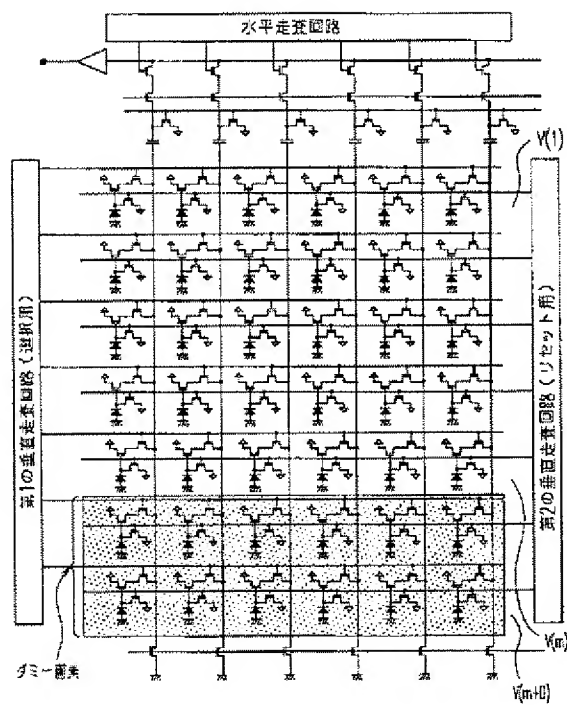


【図 4】



200

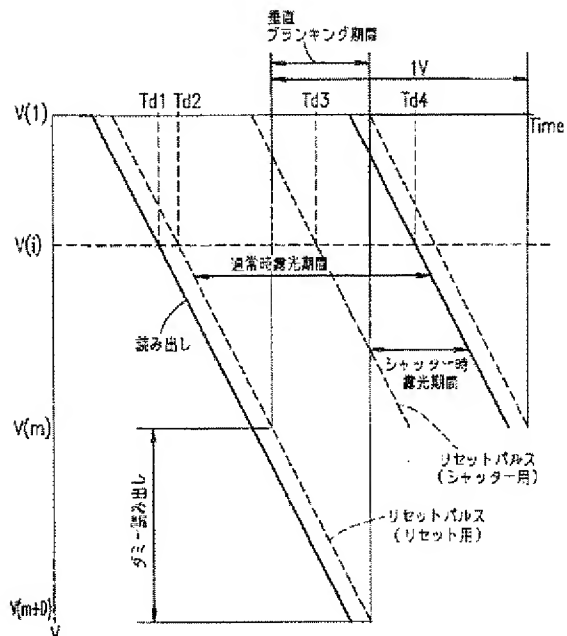
【図 5】



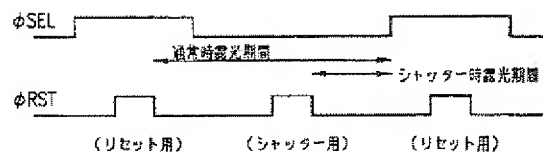
300

(12)

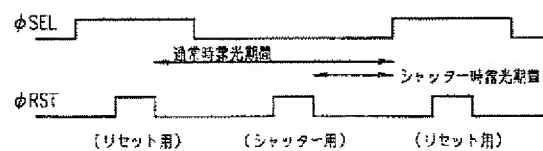
【图 6】



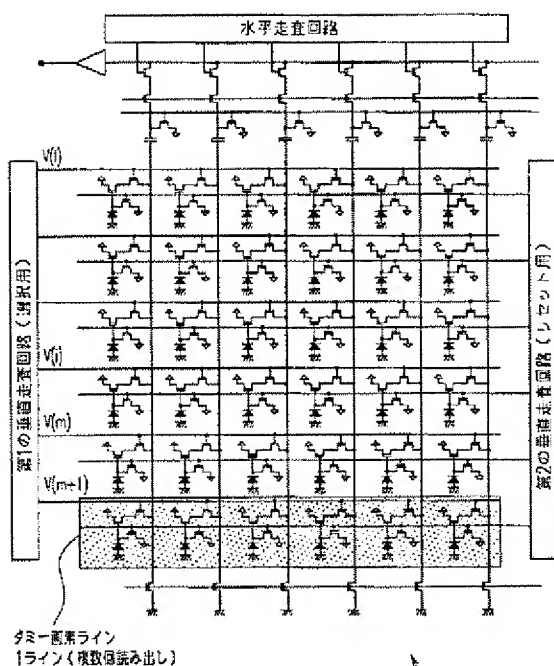
【図 7】



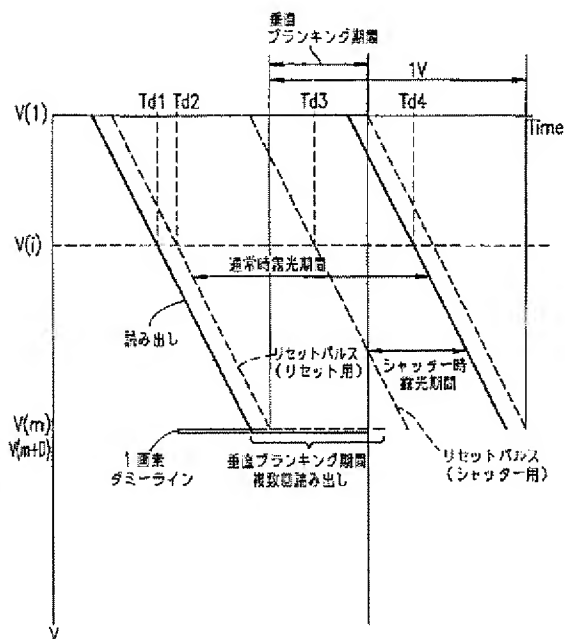
【図 10】



【图 8】

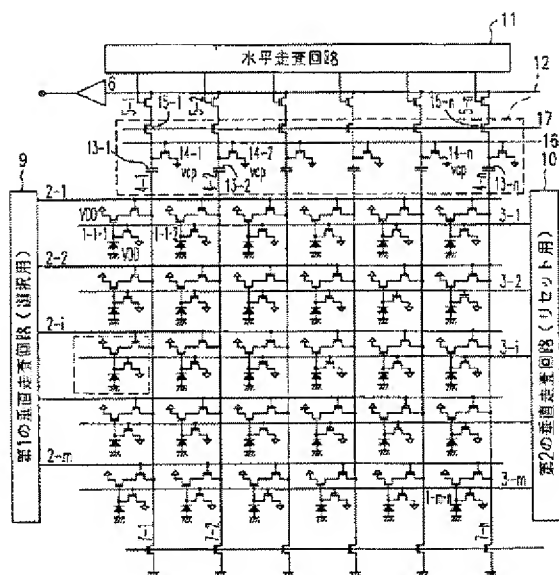


【图9】



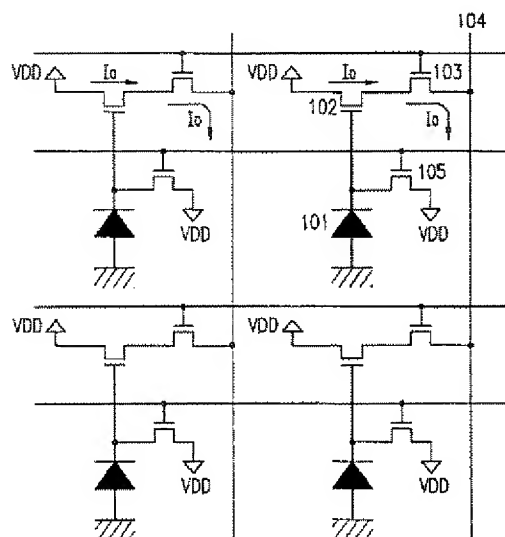
(13)

【图 1-1】

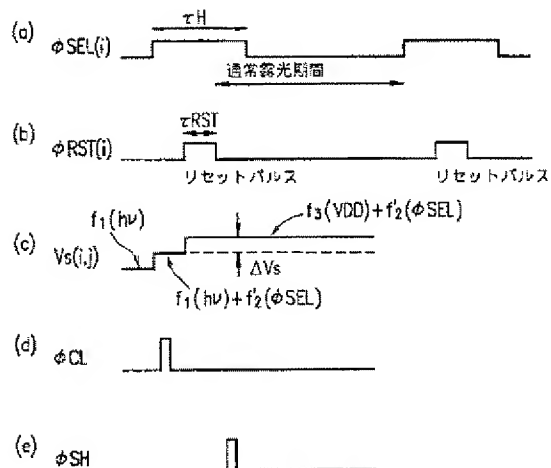


500

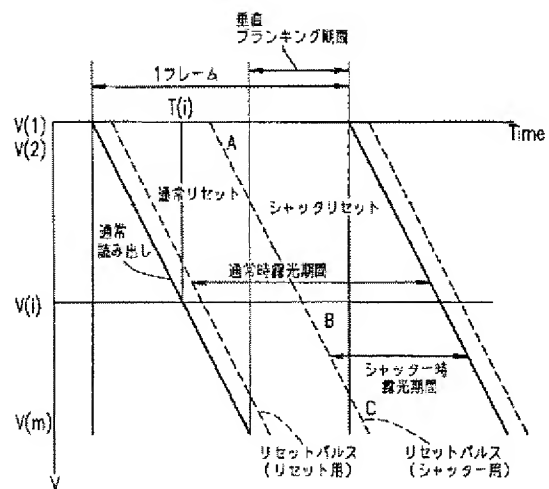
【图 12】



【图 13】



【图 15】



(14)

【図14】

